

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-002754
(43)Date of publication of application : 07.01.2000

(51)Int.Cl. G01R 31/28
H03K 3/037

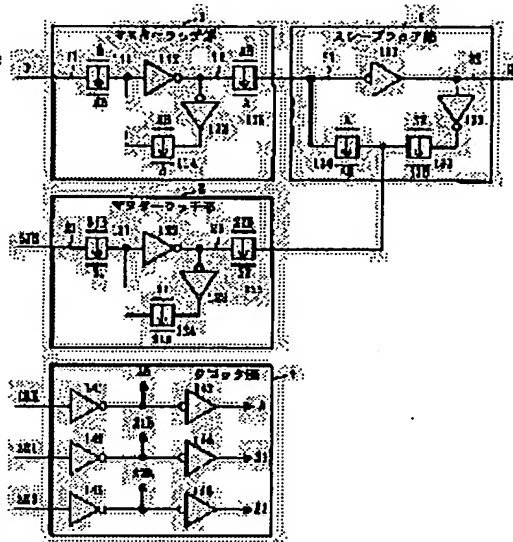
(21)Application number : 10-169554 (71)Applicant : NEC CORP
(22)Date of filing : 17.06.1998 (72)Inventor : KANBA KOJI

(54) SCAN FLIP-FLOP CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide excellent high-speed operating characteristic even in a normal operation by independently latching respective logic input signals in general operation and in scan test by a master latch part, and selectively outputting them by a slave latch part.

SOLUTION: A general logic input master latch part 1 and a scan test logic input master latch 2 are independently provided in parallel, and both master latch part outputs are outputted through a common slave latch part 3. When the output from the master latch part 1 for a normal operation is read to the slave latch part 3, the output of the master latch part 2 is separated from an input line 31 that is the path of a normal logic input signal D by the transfer gate 134 of the slave latch part 3. Accordingly, a selector causing a propagation delay is dispensed with on the path of the general logic input signal D or between an input line 11 and an output line 32.



LEGAL STATUS

[Date of request for examination] 17.06.1998
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3183260
[Date of registration] 27.04.2001
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-2754

(P2000-2754A)

(43) 公開日 平成12年1月7日 (2000.1.7)

(51) Int.Cl.

識別記号

F I

テーマコード (参考)

G 0 1 R 31/28

G 0 1 R 31/28

G 2 G 0 3 2

H 0 3 K 3/037

H 0 3 K 3/037

B 5 J 0 4 3

審査請求 有 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平10-169554

(22) 出願日 平成10年6月17日 (1998.6.17)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 神庭 康二

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100064621

弁理士 山川 政樹

Fターム (参考) 2G032 AA01 AB00 AC10 AED7 AK16
AL00

5J043 AA00 AA04 AA09 BB04 DD07

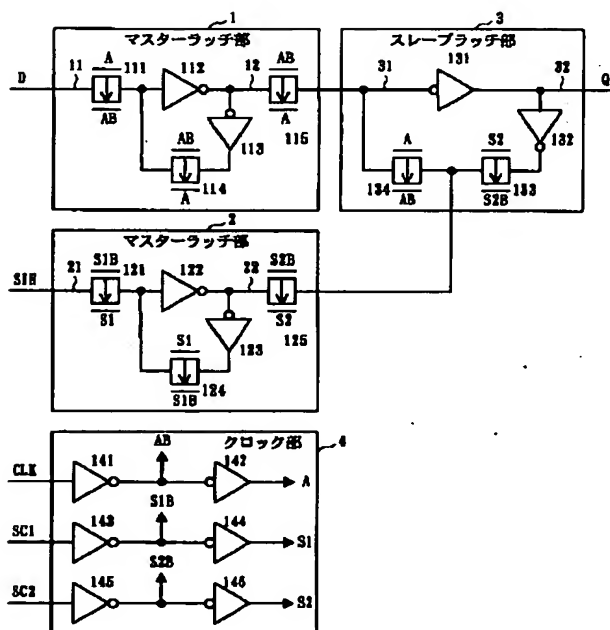
HH01 JJ08 JJ10 KK01

(54) 【発明の名称】 スキャンフリップフロップ回路

(57) 【要約】

【課題】 通常動作時に優れた高速動作特性を得る。

【解決手段】 通常論理入力用のマスターラッチ部1と、スキャンテスト論理用のマスターラッチ部2を独立して並列的に設け、これらマスターラッチ部1, 2の出力を共通のスレーブラッチ部3へ切り替え接続する。



【特許請求の範囲】

【請求項 1】 通常動作時には通常論理入力信号を取り込んでラッチ出力するとともに、スキャンテスト時にはスキャン論理入力信号を取り込んでラッチ出力するスキャンフリップフロップ回路において、

通常論理入力信号を取り込んでラッチ出力する第 1 のマスターラッチ部と、

この第 1 のマスターラッチ部と並列的に設けられ、スキャン論理入力信号を取り込んでラッチ出力する第 2 のマスターラッチ部と、

通常動作時には第 1 のマスターラッチ部からの出力を自己の入力線から取り込んでラッチ出力し、スキャンテスト時には第 2 のマスターラッチ部からの出力を自己の入力線から取り込んでラッチ出力するスレーブラッチ部とを備え、

第 1 のマスターラッチ部は、スキャンテスト時に自己の出力線からスレーブラッチ部の入力線を切り離す第 1 のスイッチ手段を有し、

第 2 のマスターラッチ部は、通常動作時に自己の出力線からスレーブラッチ部の入力線を切り離す第 2 のスイッチ手段を有し、

スレーブラッチ部は、自己の入力線と第 2 のマスターラッチ部からの出力線との間に設けられ、スキャンテスト時には、第 1 のスイッチ手段により切り離された自己の入力線と第 2 のマスターラッチ部からの出力線とを接続し、通常動作時には、少なくとも第 1 のスイッチ手段により第 1 のマスターラッチ部の出力線と自己の入力線とが接続される期間に、第 2 のマスターラッチ部の出力線を自己の入力線から切り離す第 3 のスイッチ手段を有することを特徴とするスキャンフリップフロップ回路。

【請求項 2】 請求項 1 記載のスキャンフリップフロップ回路において、

第 3 のスイッチ手段は、

ラッチ動作時にスレーブラッチ部の出力側からの信号をスレーブラッチ部の入力線に帰還させる信号線上に設けられ、

通常動作時は、第 1 のマスターラッチ部からの出力を取り込む場合に非導通となり、取り込んだ信号をラッチする場合に導通となるラッチ制御動作し、

スキャンテスト時には、常に導通状態となり入力側に供給された第 2 のマスターラッチ部の出力をスレーブラッチ部の入力線に接続するスイッチ手段からなることを特徴とするスキャンフリップフロップ回路。

【請求項 3】 請求項 1 記載のスキャンフリップフロップ回路において、

スレーブラッチ部は、

自己の入力線から取り込んだ信号を反転させ出力信号として出力する第 1 のインバータと、

この出力信号を反転させて出力する第 2 のインバータと、

この第 2 のインバータの出力が入力に接続された第 4 のスイッチ手段と、

この第 4 のスイッチ手段の出力および第 2 のマスターラッチ部からの出力が共通して入力に接続され、自己の入力線が出力に接続された第 3 のスイッチとを有し、

第 4 のスイッチは、

通常動作時には常に導通状態となり、スキャンテスト時にはスレーブラッチ部で第 2 のマスターラッチ部からの出力を取り込む場合に非導通となり、取り込んだ信号をラッチする場合に導通となるラッチ制御動作し、

第 3 のスイッチは、

スキャンテスト時には常に導通状態となり、通常動作時にはスレーブラッチ部で第 1 のマスターラッチ部からの出力を取り込む場合に非導通となり、取り込んだ信号をラッチする場合に導通となるラッチ制御動作することを特徴とするスキャンフリップフロップ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スキャンフリップフロップ回路に関し、特に半導体集積回路をスキャンテストする場合に用いられるスキャンフリップフロップ回路に関するものである。

【0002】

【従来の技術】従来、半導体集積回路の故障を検出するスキャンテストでは、図 4 に示すようなスキャンフリップフロップ回路が用いられていた（例えば、特開平-96573 号公報など参照）。図 4 は従来のスキャンフリップフロップ回路、図 5 は従来のスキャンフリップフロップ回路のタイミングチャートである。

【0003】図 4 において、入力段には、通常動作時に通常論理として入力される入力信号 D と、スキャンテスト時にスキャン論理として入力される入力信号 S IN とのいずれかを選択するセクタ部 40 が設けられている。セクタ部 40 には、入力信号 D をオンオフ（導通／非導通）するトランスファークロップ 401 と、入力信号 S IN をオンオフするトランスファークロップ 402 とが並列的に設けられており、両トランスファークロップ 401、402 の出力は共通に接続されて、後段のマスターラッチ部 41 に出力されている。

【0004】クロック部 44 は、クロック信号 CLK および制御信号 SEL に基づいて、スキャンフリップフロップ回路内部の各所に配置された各トランスファークロップを制御する信号を生成する。クロック部 44 において、クロック信号 CLK はインバータ 441 に入力され、その反転論理がクロック信号 AB として出力され、さらにこれがインバータ 442 に入力され、その反転論理がクロック信号 A として出力される。

【0005】また制御信号 SEL はインバータ 443 に入力され、その反転論理が制御信号 BB として出力され、さらにこれがインバータ 444 に入力され、その反

3

転論理が制御信号 B として出力される。通常動作時には、制御信号 SEL=0 (Lレベル) とすることにより、制御信号 BB=1, 制御信号 B=0 となって、セレクト部 40 のトランスファークロウ 401 が導通し、入力信号 D がマスターラッチ部 41 に出力される。

【0006】一方、スキャンテスト時には、制御信号 SEL=1 (Hレベル) とすることにより、制御信号 BB=0, 制御信号 B=1 となって、セレクト部 40 のトランスファークロウ 402 が導通し、入力信号 SIN がマスターラッチ部 41 に出力される。マスターラッチ部 41 には、セレクト回路 40 からの出力をオンオフするトランスファークロウ 411 と、この出力を反転出力するインバータ 412 が設けられている。

【0007】また、このインバータ 412 の入出力間には、インバータ 412 の出力を反転出力するインバータ 413 と、この出力とインバータ 412 の入力との間をオンオフするトランスファークロウ 414 が直列接続されており、これらインバータ 412, 413 およびトランスファークロウ 414 によりラッチが構成されている。インバータ 412 の出力は、トランスファークロウ 415 を介して、後段のスレーブラッチ部 43 に出力されている。

【0008】スレーブラッチ部 43 には、マスターラッチ部 41 の出力を反転出力するインバータ 431 と、インバータ 431 の出力を反転出力するインバータ 432 と、この出力とインバータ 432 の入力との間をオンオフするトランスファークロウ 433 とが設けられている。これらインバータ 431, 432 およびトランスファークロウ 433 によりラッチが構成されており、インバータ 431 の出力が出力信号 Q として出力される。

【0009】したがって、図 5 に示すように、クロック信号 CLK=0 のとき、例えば時刻 T1 以前において、クロック信号 AB=1, クロック信号 A=0 となって、マスターラッチ部 41 では、トランスファークロウ 411 が導通し、セレクト部 40 からの出力がインバータ 412 に入力される。次に、時刻 T1 にクロック信号 CLK=1 となった場合、クロック信号 AB=0, クロック信号 A=1 となってトランスファークロウ 411 が非導通となるとともに、トランスファークロウ 414 が導通し、インバータ 412 の出力がラッチされる。

【0010】このとき、トランスファークロウ 415 も導通して、インバータ 412 の出力がスレーブラッチ部 43 に入力され、インバータ 431 からその反転出力が出力信号 Q として出力される。そして、その後の時刻 T2 に、クロック信号 CLK=0 になった時点で、出力信号 Q がスレーブラッチ部 43 でラッチされるものとなっていた。

【0011】

【発明が解決しようとする課題】しかしながら、このような従来のスキャンフリップフロップ回路では、外部か

4

らの制御信号 SEL により、通常動作時あるいはスキャンテスト時に応じて、通常論理入力信号 D またはスキャン論理入力信号 SIN のいずれかを選択するためのセレクト部を設けているため、通常動作時でも通常論理入力信号 D のパス上にセレクト部が位置することになり、入力信号 D の伝搬を遅延させ、スキャンフリップフロップ回路をより高速に動作させることができないという問題点があった。本発明はこのような課題を解決するためのものであり、通常動作時に優れた高速動作特性を有するスキャンフリップフロップ回路を提供することを目的としている。

【0012】

【課題を解決するための手段】このような目的を達成するために、本発明によるスキャンフリップフロップ回路は、通常論理入力信号を取り込んでラッチ出力する第 1 のマスターラッチ部と、この第 1 のマスターラッチ部と並列的に設けられ、スキャン論理入力信号を取り込んでラッチ出力する第 2 のマスターラッチ部と、通常動作時には第 1 のマスターラッチ部からの出力を自己の入力線から取り込んでラッチ出力し、スキャンテスト時には第 2 のマスターラッチ部からの出力を自己の入力線から取り込んでラッチ出力するスレーブラッチ部とを備え、第 1 のマスターラッチ部は、スキャンテスト時に自己の出力線からスレーブラッチ部の入力線を切り離す第 1 のスイッチ手段を有し、第 2 のマスターラッチ部は、通常動作時に自己の出力線からスレーブラッチ部の入力線を切り離す第 2 のスイッチ手段を有し、スレーブラッチ部は、自己の入力線と第 2 のマスターラッチ部からの出力線との間に設けられ、スキャンテスト時には、第 1 のスイッチ手段により切り離された自己の入力線と第 2 のマスターラッチ部からの出力線とを接続し、通常動作時には、少なくとも第 1 のスイッチ手段により第 1 のマスターラッチ部の出力線と自己の入力線とが接続される期間に、第 2 のマスターラッチ部の出力線を自己の入力線から切り離す第 3 のスイッチ手段を有することを特徴とするものである。

【0013】

【発明の実施の形態】次に、本発明について図面を参照して説明する。図 1 は本発明の第 1 の実施の形態であるスキャンフリップフロップ回路を示す回路図である。本発明では、マスターラッチ部を並列的に設けて、通常動作時の通常論理入力信号 D とスキャンテスト時のスキャン論理入力信号 SIN とを、それぞれ個別にラッチし、これらマスターラッチ部からの出力を通常動作時に遅延が生じないようにスレーブラッチ部で選択してラッチ出力するようにしたものである。

【0014】同図において、通常動作時に入力線 11 から入力信号 D をラッチするマスターラッチ部 (第 1 のマスターラッチ部) 1 と、スキャンテスト時に入力線 21 から入力される入力信号 SIN をラッチするマスターラ

ッチ部（第2のマスターラッチ部）2とが、並列的に設けられている。マスターラッチ部1において、入力信号Dをオンオフ（導通／非導通）するトランスファークロート111と、この出力を反転出力するインバータ112が設けられている。

【0015】このインバータ112の入出力間には、インバータ112の出力を反転出力するインバータ113と、この出力とインバータ122の入力との間をオンオフするトランスファークロート114が直列接続されており、これらインバータ112、113およびトランスファークロート114によりラッチが構成されている。また、インバータ112の出力は、マスターラッチ部1の出力線12として、トランスファークロート115（第1のスイッチ手段）を介して、後段のスレーブラッチ部3の入力線31に接続されている。

【0016】また、マスターラッチ部2は、マスターラッチ部1とはほぼ同一構成をなしており、マスターラッチ部1のトランスファークロート111、114、115が、マスターラッチ部2のトランスファークロート121、124、125（第2のスイッチ手段）に対応し、マスターラッチ部1のインバータ112、113および入力線11、出力線12がマスターラッチ部2のインバータ122、123および入力線21、出力線22に対応している。なお、マスターラッチ部1、2において、各トランスファークロートが動作するタイミングが異なる。

【0017】クロック部4は、クロック信号CLKおよびクロック信号SC1、SC2に基づいて、スキヤンプリップフロップ回路内部の各所に配置された各トランスファークロートを制御するクロック信号を生成する。クロック部4において、クロック信号CLKはインバータ141に入力され、その反転論理がクロック信号ABとして出力され、さらにこれがインバータ142に入力され、その反転論理がクロック信号Aとして出力される。

【0018】また、クロック信号SC1はインバータ143に入力され、その反転論理がクロック信号1Bとして出力され、さらにこれがインバータ144に入力され、その反転論理がクロック信号S1として出力される。一方、クロック信号SC2はインバータ145に入力され、その反転論理がクロック信号2Bとして出力され、さらにこれがインバータ146に入力され、その反転論理がクロック信号S2として出力される。

【0019】次に、図2を参照して、第1の実施の形態による動作として、通常動作時を例に説明する。図2は第1の実施の形態の動作を示すタイミングチャートであり、通常動作時における各部の信号を示している。通常動作時には、クロック信号SC2は1（Hレベル）のまま保持され、クロック信号CLKを変化させる。

【0020】まず、時刻T1以前において、CLK=0の場合、クロック部4からのクロック信号AB=1、ク

ロック信号A=0となって、トランスファークロート111が導通し、入力線11からの通常論理入力信号SINがインバータ112に入力される。このとき、トランスファークロート115が非導通であり、インバータ112の反転出力はスレーブラッチ部3に出力されない。

【0021】続いて、時刻T1にCLK=1に変化させた場合、AB=0、A=1となって、トランスファークロート111が非導通となるとともに、トランスファークロート114が導通し、インバータ112の出力がラッチされる。スレーブラッチ部3には、入力線31を介して入力されたマスターラッチ部1からの出力を反転出力するインバータ131と、この出力を反転出力するインバータ132とが設けられている。

【0022】さらに、インバータ132の出力とインバータ131の入力との間には、直列接続された2つのトランスファークロート133（第4のスイッチ手段）、トランスファークロート134（第3のスイッチ手段）が接続されている。これらインバータ131、132およびトランスファークロート133、134によりラッチが構成され、インバータ131の出力が出力線32から出力信号Qとして出力される。

【0023】ここで、時刻T1には、トランスファークロート125も導通し、マスターラッチ部1の出力線12がスレーブラッチ部3の入力線31と接続される。また、トランスファークロート134が非導通となり、スレーブラッチ部3の入力線31とマスターラッチ部2からの信号線とが切り離される。

【0024】したがって、インバータ112の出力は、トランスファークロート115のみを介してインバータ131に直接入力され、その反転出力が出力信号Qとして直ちに出力される。続く時刻T2において、CLK=0に変化させた場合、トランスファークロート134が導通する。

【0025】また、通常動作時には、常にクロック信号SC2=1であることから、トランスファークロート133が導通しているとともに、マスターラッチ部2のトランスファークロート125が非導通である。これにより、時刻T2には、インバータ132の出力とインバータ131の入力とが接続されて、インバータ131の出力がラッチされる。

【0026】したがって、時刻T3以降同様にして、通常動作時には、クロック信号CLKの立ち上がり時に通常論理入力信号Dが取り込まれてマスターラッチ部1でラッチ出力される。そして、スレーブラッチ部3から出力信号Qとして出力され、クロック信号CLKの立ち下がり時にスレーブラッチ部3でラッチされる。

【0027】次に、図3を参照して、本発明の第1の実施の形態による動作として、スキヤンテスト時を例に説明する。図3は第1の実施の形態の他の動作を示すタイミングチャートであり、スキヤンテスト時における各部

7

の信号を示している。スキャンテスト時において、クロック信号CLKは0（Lレベル）のまま保持され、クロック信号SC1、SC2を変化させる。

【0028】まず、時刻T1において、SC1=1、SC2=0の場合、S1B=0、S1=1となって、マスターラッチ部2のトランスファークロウ121が導通し、テスト論理入力信号SINがインバータ122に入力される。このとき、クロック信号SC2=0であることから、S2B=1、S2=0となって、トランスファークロウ125が非導通であり、インバータ122の反転出力はスレーブラッチ部3に出力されない。

【0029】続いて、時刻T2にSC2=0でSC1を1から0に変化させた場合、S1B=1、S1=0となって、トランスファークロウ121が非導通となるとともに、トランスファークロウ124が導通し、インバータ122の出力がラッチされる。次に、時刻T3にSC1=0でSC2を0から1を変化させた場合、S2B=0、S2=1となってトランスファークロウ125が導通し、インバータ122の反転出力がスレーブラッチ部3に出力される。

【0030】ここで、マスターラッチ部2の出力は、トランスファークロウ133、134の間接続点、すなわちトランスファークロウ134の入力に供給されている。したがって、時刻T3にSC2=0となった場合、マスターラッチ部2のインバータ122の出力は、トランスファークロウ125を介してスレーブラッチ部3のトランスファークロウ134に入力される。

【0031】このとき、スキャンテスト時には、クロック信号CLK=0であることから、クロック信号AB=1、A=0となり、マスターラッチ部1の出力段に位置するトランスファークロウ115は非導通であることから、出力線12と入力線31とが切り離される。一方、スレーブラッチ部3のトランスファークロウ134が導通し、マスターラッチ部2の出力線22と入力線31とが接続される。

【0032】これにより、時刻T3には、マスターラッチ部2からの出力が、インバータ131により反転され、出力信号Qとして出力される。その後、時刻T4にSC2=0に変化させた場合、トランスファークロウ133が導通し、このときトランスファークロウ134が導通していることから、インバータ131の出力がラッチされる。

【0033】したがって、時刻T5以降、スキャンテスト時には、クロック信号SC1の立ち上がり時にスキャン論理入力信号SINがマスターラッチ部1に取り込まれて、その立ち下がり時にラッチ出力され、その後のクロック信号SC2の立ち上がり時にスレーブラッチ部3に取り込まれて出力信号Qとして出力され、その下がり時にラッチされる。

【0034】このように、本発明では、通常論理入力用

8

のマスターラッチ部1とスキャンテスト論理用のマスターラッチ部2を独立して並列的に設け、これらマスターラッチ部1、2の出力を共通のスレーブラッチ部3を介して出力するようにしたものである。そして、通常動作時、マスターラッチ部1からの出力がスレーブラッチ部3に取り込まれる際に、スレーブラッチ部3のトランスファークロウ134により、マスターラッチ部2の出力を通常論理入力信号Dのバスである入力線31から切り離すようにしたものである。

10 【0035】したがって、従来のように、通常論理入力信号Dのバス上すなわち入力線11から出力線32までの間に、伝搬遅延の原因となるセレクトを設ける必要がなくなり、通常動作時に優れた高速動作特性が得られる。また、マスターラッチ部2の出力を通常論理入力信号Dのバスである入力線31から切り離すスイッチ手段を、スレーブラッチ部3に設けたので、マスターラッチ部2からスレーブラッチ部3までの配線が、通常論理入力信号Dのバス上から切り離されるものとなり、その負荷容量による出力信号Qの出力変化の遅れを抑制できる。

20

【0036】さらに、マスターラッチ部2の出力を通常論理入力信号Dのバスである入力線31から切り離すスイッチ手段として、スレーブラッチ部3において通常動作時のラッチ動作を制御するトランスファークロウ134を兼用するようにしたので、通常動作時に優れた高速動作特性を維持しつつ、回路構成を削減できる。

30 【0037】次に、図4を参照して、本発明の第2の実施の形態について説明する。図4は本発明の第2の実施の形態であるスキャンフリップフロップ回路を示す回路図である。本実施の形態では、制御信号SETに応じ、マスターラッチ部およびスレーブラッチ部の出力状態を設定可能とするセットアップ機能を持つ場合を示している。

【0038】ここでは、図1のインバータ112、132の代わりに2入力NORゲート116、135を用い、その一方の入力に制御信号SETを供給している。すなわち、SET=0の場合、各NORゲート116、135は、図1で示したインバータ112、132として動作する。

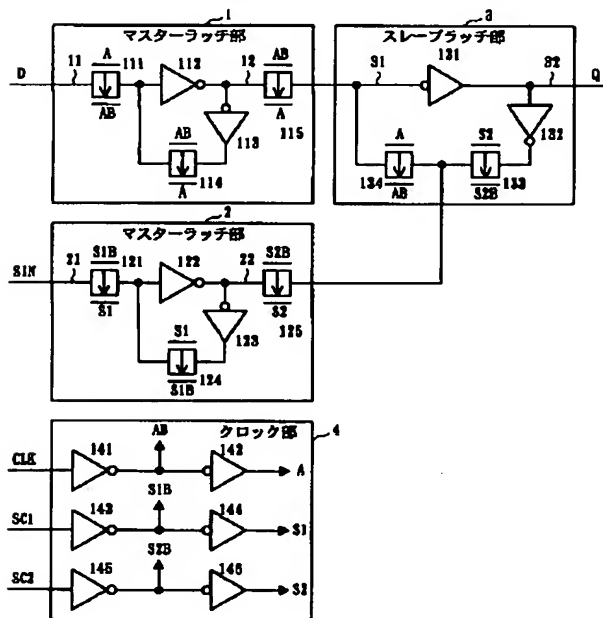
40 【0039】一方、SET=1の場合、各NORゲート116、135の出力は0となり、強制的に出力信号Q=1となる。なお、通常動作時およびスキャンテスト動作時の回路動作は、図1の場合と全く同じであり、ここでの説明は省略する。したがって、従来のスキャンフリップフロップ回路と比べて、通常論理入力信号とスキャン論理入力信号のいずれかを選択するセレクトがないため、セットアップ機能を構成する回路が簡略化できるとともに、そのセットアップに要する時間すなわちセットアップタイムを短縮できる。

50 【0040】

【発明の効果】以上説明したように、本発明は、通常論理入力信号を取り込んでラッチ出力する第1のマスターラッチ部に、スキャンテスト時に自己の出力線からスレーブラッチ部の入力線を切り離す第1のスイッチ手段を設けるとともに、スキャン論理入力信号を取り込んでラッチ出力する第2のマスターラッチ部に、通常動作時に自己の出力線からスレーブラッチ部の入力線を切り離す第2のスイッチ手段を設け、スレーブラッチ部において自己の入力線と第2のマスターラッチ部からの出力線との間に設けられた第3のスイッチ手段を制御して、スキャンテスト時には、第1のスイッチ手段により切り離された自己の入力線と第2のマスターラッチ部からの出力線とを接続し、通常動作時には、少なくとも第1のスイッチ手段により第1のマスターラッチ部の出力線と自己の入力線とが接続される期間に、第2のマスターラッチ部の出力線を自己の入力線から切り離すようにしたものである。したがって、従来のように、通常論理入力信号のパス上すなわち通常論理入力端子から出力端子までの間にセレクトを設けることなく、通常論理入力信号とスキャン論理入力信号のいずれかを選択できる。これにより、通常論理入力信号の遅延伝搬を最小化でき、通常動作時に優れた高速動作特性が得られる。

【図面の簡単な説明】

【図1】



【図1】 本発明の第1の実施の形態によるスキャンフリップフロップ回路のブロック図である。

【図2】 通常動作を示すタイミングチャートである。

【図3】 スキャンテスト動作時を示すタイミングチャートである。

【図4】 本発明の第2の実施の形態によるスキャンフリップフロップ回路のブロック図である。

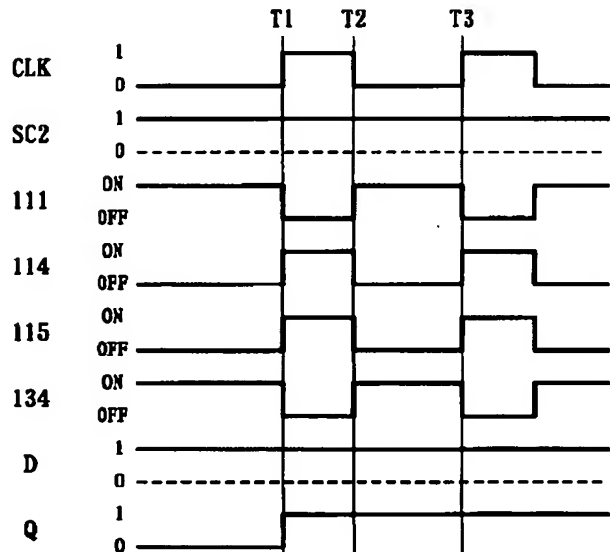
【図5】 従来のスキャンフリップフロップ回路のブロック図である。

10 【図6】 スキャンテスト動作時を示すタイミングチャートである。

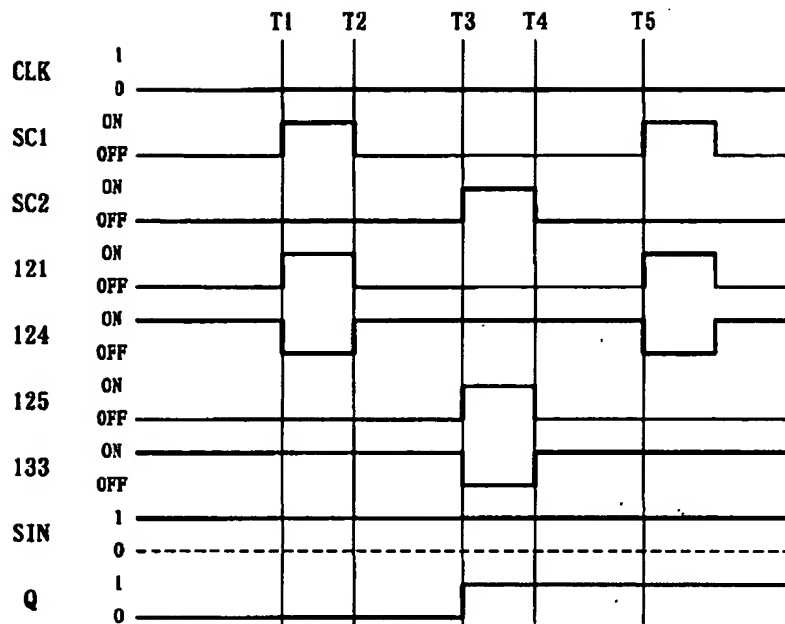
【符号の説明】

1…マスターラッチ部（第1のマスターラッチ部：通常動作用）、2…マスターラッチ部（第2のマスターラッチ部：スキャンテスト用）、3…スレーブラッチ部、4…マスターラッチ部、111, 114, 115, 121, 124, 125, 133, 134…トランスファークロップ、112, 113, 122, 123, 131, 132, 141~146…インバータ、116, 135…NORゲート、D…通常論理入力信号、SIN…スキャンテスト論理入力信号、CLK…クロック信号（通常動作用）、SC1, SC2…クロック信号（スキャンテスト用）、Q…出力信号。

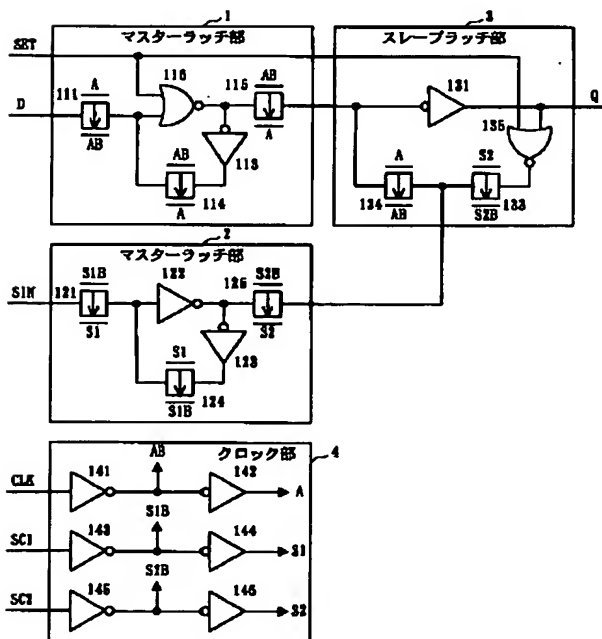
【図2】



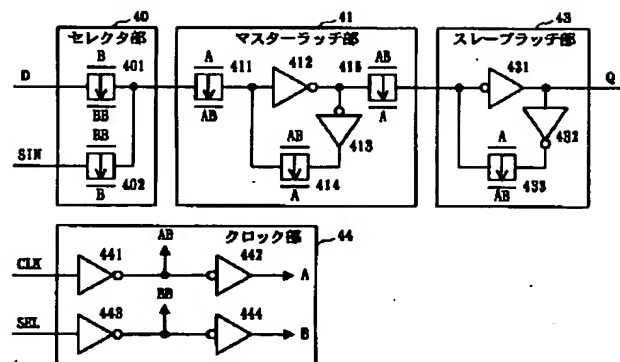
【図 3】



【図 4】



【図 5】



【図 6】

